

DERWENT-ACC-NO: 1998-185586

DERWENT-WEEK: 199817

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Split gate type non-volatile semiconductor memory e.g.
EPROM, EEPROM, flash memory - has groove which is formed
between floating gate and source diffusion layers and
gate oxide film formed on inner periphery of groove, is
used as selection channel

PATENT-ASSIGNEE: RICOH KK[RICO]

PRIORITY-DATA: 1996JP-0207948 (July 17, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 10041414 A	February 13, 1998	N/A	007	H01L 021/8247

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10041414A	N/A	1996JP-0207948	July 17, 1996

INT-CL (IPC): H01L021/8247, H01L027/115, H01L029/788, H01L029/792

ABSTRACTED-PUB-NO: JP 10041414A

BASIC-ABSTRACT:

The memory has a source diffusion layer (26), a tunnel oxide film (28) and a drain diffusion layer (24) which are formed on a semiconductor substrate (22) sequentially. A floating gate (30) is formed on the drain diffusion layer.

A trench groove (32) is formed on the substrate between floating gate and source diffusion layer. A gate oxide film (34) is formed along the sides and base of the groove. A selection gate (40) which fills the groove is formed on the gate oxide film. The side and base of the groove are used as the selection channel.

ADVANTAGE - Reduces memory cell area remarkably. Simplifies manufacturing process involved. Avoids need of contact hole for every memory cell.

CHOSEN-DRAWING: Dwg 2/5

TITLE-TERMS: SPLIT GATE TYPE NON VOLATILE SEMICONDUCTOR MEMORY EPROM EEPROM
FLASH MEMORY GROOVE FORMING FLOAT GATE SOURCE DIFFUSION LAYER GATE
OXIDE FILM FORMING INNER PERIPHERAL GROOVE SELECT CHANNEL

DERWENT-CLASS: U12 U13 U14

EPI-CODES: U12-D02A1; U12-Q; U13-C04A; U13-C04B2; U14-A03B7;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-147429

PAT-NO: JP410041414A

DOCUMENT-IDENTIFIER: JP 10041414 A

TITLE: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: February 13, 1998

INVENTOR-INFORMATION:

NAME

TAJI, SATORU

ASSIGNEE-INFORMATION:

NAME

RICOH CO LTD

COUNTRY

N/A

APPL-NO: JP08207948

APPL-DATE: July 17, 1996

INT-CL (IPC): H01L021/8247, H01L029/788 , H01L029/792 , H01L027/115

ABSTRACT:

PROBLEM TO BE SOLVED: To self-alignedly determine the select channels and reduce the memory cell area.

SOLUTION: On a substrate 22, a source diffusion layer 26 and drain diffusion layer 24 are formed. Floating gates 30 are formed on the substrate 22. The gates 30 are distant from the source diffusion layer 26 but adjacent to the drain diffusion layer 242 through a tunnel oxide film 28. Trench grooves 32 are formed into the substrate 22 between the gates 30 and source diffusion layer 26 and gate oxide film 34 is formed on the side faces and bottom face of each groove 32. Select gates 40 are formed on the gate oxide film 34 to fill up the grooves 32, thereby forming select channels at the side faces and bottom faces of the grooves 32 on the substrate.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41414

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所	
H 0 1 L	21/8247		H 0 1 L	29/78	3 7 1
	29/788			27/10	4 3 4
	29/792				
	27/115				

審査請求 未請求 請求項の数 7 F D (全 7 頁)

(21) 出願番号 特願平8-207948

(22) 出願日 平成8年(1996) 7月17日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 田路 悟

東京都大田区中馬込1丁目3番6号 株式会社リコー内

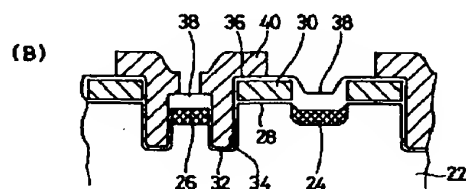
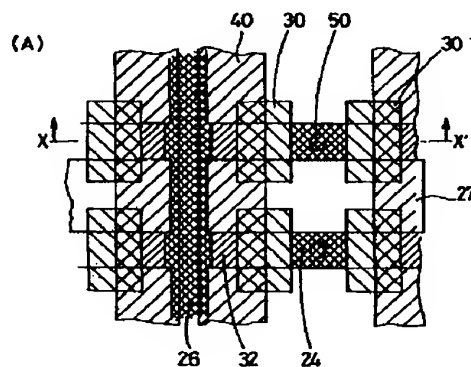
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 不揮発性半導体メモリ装置とその製造方法

(57) 【要約】

【課題】 セレクトチャネルをセルフアラインで決めることができ、かつメモリセル面積を小さくする。

【解決手段】 基板22にソース拡散層26とドレイン拡散層24が形成され、基板22上にはトンネル酸化膜28を介してドレイン拡散層24と隣接し、ソース拡散層26と距離をもって配置されたフローティングゲート30が形成されている。フローティングゲート30とソース拡散層26の間の基板22にはトレンチ溝32が形成され、その溝32内の側面上と底面上にはゲート酸化膜34が形成されている。ゲート酸化膜34上から溝32を埋めるセレクトゲート40が形成されており、溝32内の側面及び底面の基板をセレクトチャネルとしている。



【特許請求の範囲】

【請求項1】 半導体基板に、ドレイン拡散層とソース

拡散層が対向して配置され、
前記基板にはトンネル絶縁膜を介し、ドレイン拡散層
と隣接し、ソース拡散層と距離をもって配置されたフロ
ーティングゲートが形成され、
フローティングゲートとソース拡散層の間の基板には溝
が形成され、

フローティングゲート上には絶縁膜を介し、フローティ
ングゲートとソース拡散層の間の前記溝内の側面上及び
底面上にはゲート絶縁膜を介して、セレクトゲートが形
成されて、前記溝内の側面及び底面をセレクトチャネル
としていることを特徴とする不揮発性半導体メモリ装
置。

【請求項2】 半導体基板に、ドレイン拡散層とソース

拡散層が対向して配置され、
前記基板にはトンネル絶縁膜を介し、ドレイン拡散層
と隣接し、ソース拡散層と距離をもって配置されたフロ
ーティングゲートが形成され、

フローティングゲートとソース拡散層の間の基板には溝
が形成され、

フローティングゲート上には絶縁膜を介して複数のメモ
リセルに共通な帯状のコントロールゲートが形成されて
スタックゲートが形成されており、

スタックゲートとの間には絶縁膜を介し、フローティ
ングゲートとソース拡散層の間の前記溝内の側面上及び底
面上にはゲート絶縁膜を介して、セレクトゲートが形成
されて、前記溝内の側面及び底面をセレクトチャネルと
していることを特徴とする不揮発性半導体メモリ装置。

【請求項3】 ドレイン拡散層とソース拡散層は互いに
平行な帯状に形成されている請求項1又は2に記載の不
揮発性半導体メモリ装置。

【請求項4】 セレクトゲートはチャネル幅方向に延び
て複数のメモリセルで共通になっている請求項1に記載
の不揮発性半導体メモリ装置。

【請求項5】 セレクトゲートはチャネル長方向に延び
て複数のメモリセルで共通になっている請求項1、2又
は3に記載の不揮発性半導体メモリ装置。

【請求項6】 以下の工程(A)から(H)を備えた不
揮発性半導体メモリ装置の製造方法。

(A) 半導体基板にトンネル絶縁膜を介して第1の電
極材料膜を形成し、その電極材料膜にパターン化を施し
てフローティングゲートを形成する工程、

(B) ドレイン形成予定領域に開口をもつレジストパ
ターンを形成し、それをマスクとして基板に不純物を注入
してドレイン拡散層を形成する工程、

(C) レジストパターンを除去した後、基板表面全面に
絶縁膜を形成し、エッチバックを施してフローティ
ングゲートの側面に絶縁物のサイドウォールスペースを形成
する工程、

(D) ソース形成予定領域に開口をもつレジストパター
ンを形成し、それをマスクとして基板に不純物を注入し
てソース拡散層を形成する工程、

(E) ソース拡散層側のサイドウォールスペースを除去
した後、酸化性雰囲気中で熱処理を施してシリコン酸化
膜を形成する工程、

(F) ソース拡散層側のサイドウォールスペースがあっ
た部分の基板が露出するまでエッチングを施した後、シ
リコンの異方性エッチングを施してフローティングゲー
トとソース拡散層の間の基板に溝を形成する工程、

(G) 酸化性雰囲気中で熱処理を施して前記溝内の側面
上及び底面上にゲート酸化膜を形成する工程、

(H) 前記溝を埋める第2の電極材料膜を形成し、その
電極材料膜をパターン化してセレクトゲートを形成する
工程。

【請求項7】 以下の工程(A)から(H)を備えた不
揮発性半導体メモリ装置の製造方法。

(A) 半導体基板にトンネル絶縁膜を介して形成され
た第1の電極材料膜からなるフローティングゲート、そ
の上に形成された絶縁膜、及びさらにその上に形成され
た第2の電極材料膜からなるコントロールゲートを備え
たスタックゲートを形成する工程、

(B) ドレイン形成予定領域に開口をもつレジストパ
ターンを形成し、それをマスクとして基板に不純物を注入
してドレイン拡散層を形成する工程、

(C) レジストパターンを除去した後、基板表面全面に
絶縁膜を形成し、エッチバックを施してスタックゲー
トの側面に絶縁物のサイドウォールスペースを形成する工
程、

(D) ソース形成予定領域に開口をもつレジストパター
ンを形成し、それをマスクとして基板に不純物を注入し
てソース拡散層を形成する工程、

(E) ソース拡散層側のサイドウォールスペースを除去
した後、酸化性雰囲気中で熱処理を施してシリコン酸化
膜を形成する工程、

(F) ソース拡散層側のサイドウォールスペースがあっ
た部分の基板が露出するまでエッチングを施した後、シ
リコンの異方性エッチングを施してフローティングゲー
トとソース拡散層の間の基板に溝を形成する工程、

(G) 酸化性雰囲気中で熱処理を施して前記溝内の側面
上及び底面上にゲート酸化膜を形成する工程、

(H) 前記溝を埋める第3の電極材料膜を形成し、その
電極材料膜をパターン化してセレクトゲートを形成する
工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はEPROM、EEP
ROM、フラッシュメモリなど、フローティングゲー
トをもつ不揮発性半導体メモリ装置、特にスプリットゲー
トタイプと称される不揮発性半導体メモリ装置とその製

造方法に関するものである。

【0002】

【従来の技術】EEPROM又はフラッシュメモリでは電氣的に消去を行なうが、過消去（オーバイレース）状態になるとフローティングゲート下のチャネルがデプレッション状態となり、読出し時にリークが起こって不良となる。そのため、通常のEPROMのようなETOX（E-prom with Tunnel Oxide）型のメモリセルでは、チップごとのペリファイ又はビットごとのペリファイを行なってオーバイレース状態にならないように制御している。しかし、その制御が難しい点、ペリファイ回路を付加しなければならない点、消去時間が長くなる点などの問題がある。なお、ETOX型は、フローティングゲートとコントロールゲートがセルフアラインでパターン化されたスタックゲート構造となっており、ゲート絶縁膜が100Å程度のトンネル膜となるフラッシュメモリのセル構造である。

【0003】そこで、その対策としてスプリットゲートタイプが提案されている。スプリットゲートタイプは、図1に示されるように、基板2に形成されたドレイン拡散層4とソース拡散層6の間のチャネル領域上にトンネル絶縁膜8を介してフローティングゲート10がドレイン拡散層4側に形成され、フローティングゲート10のソース側の端部とソース拡散層6の間が離れたオフセット領域となっている。フローティングゲート10上には絶縁膜12を介してコントロールゲート（又はセレクトゲート）14が形成され、コントロールゲート14はフローティングゲート10上からチャネルのオフセット領域上に延びている。チャネル領域はフローティングゲート10の下メモリチャネルMCと、フローティングゲート10の端からソース拡散層6までの間のオフセット領域のセレクトチャネルSCとからなっている。スプリットゲートタイプではメモリチャネルMCがデプレッション状態になっても、隣接したセレクトチャネルSCによりリーク電流を遮断することができる。

【0004】このようなスプリットゲートをもつメモリ装置は、例えば米国特許第5029130号、米国特許第5280446号などに記載されているが、そこではセレクトチャネルが自己整合的に形成されていないため、フローティングゲート10とコントロールゲート14とのアライメント（位置合わせ）のずれによってセレクトチャネルSCの長さ変動する。そのため、そのアライメントずれを考慮してセレクトチャネル長が長めに設定されており、これがメモリセルの微細化の妨げになっている。またセレクトチャネル長のばらつきが読出し時のセル電流のばらつきとなり、特性の劣化を引き起こす。

【0005】スプリットゲートタイプのメモリ装置を自己整合的に製造する方法としては、フローティングゲートの側壁にポリシリコンのサイドウォールスペーサによ

るコントロールゲートを設けて自己整合化を図り、フローティングゲート上に形成されたコントロールゲートと電氣的に接続したものがあ（特開平2-23672号公報参照）。

【0006】他の方法として、フローティングゲートと同一層のポリシリコンによるダミーゲートを設けておき、ダミーゲートを除去した後のそのダミーゲート領域の幅がセレクトチャネル長になるように自己整合化を図ったものもある（特開平2-240968号公報参照）。

【0007】

【発明が解決しようとする課題】セレクトチャネルをセルフアラインで形成する方法でも平面的にはある程度のセレクトチャネル領域を設ける必要があり、ETOX型に対してメモリセル面積が大きくなったり、プロセス的に複雑になったりする。そこで、本発明はセレクトチャネルをセルフアラインで決めることができ、かつETOX型に比べて平面的な面積増加が少なくすむスプリットゲート型の不揮発性メモリ装置とその製造方法を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明の不揮発性半導体メモリ装置は、半導体基板に、ドレイン拡散層とソース拡散層が対向して配置され、基板上にはトンネル絶縁膜を介し、ドレイン拡散層と隣接し、ソース拡散層と距離をもって配置されたフローティングゲートが形成され、フローティングゲートとソース拡散層の間の基板には溝が形成され、フローティングゲート上には絶縁膜を介し、フローティングゲートとソース拡散層の間の溝内の側面上及び底面上にはゲート絶縁膜を介して、セレクトゲートが形成されて、溝内の側面及び底面をセレクトチャネルとしている。

【0009】本発明はフローティングゲート上に絶縁膜を介してコントロールゲートが形成されたスタックゲートを備えた不揮発性半導体メモリ装置にも同様に適用することができる。その場合の不揮発性半導体メモリ装置の構造は、次のようになる。半導体基板に、ドレイン拡散層とソース拡散層が対向して配置され、基板上にはトンネル絶縁膜を介し、ドレイン拡散層と隣接し、ソース拡散層と距離をもって配置されたフローティングゲートが形成され、フローティングゲートとソース拡散層の間の基板には溝が形成され、フローティングゲート上には絶縁膜を介して複数のメモリセルに共通な帯状のコントロールゲートが形成されてスタックゲートが形成されており、スタックゲートとの間には絶縁膜を介し、フローティングゲートとソース拡散層の間の溝内の側面上及び底面上にはゲート絶縁膜を介して、セレクトゲートが形成されて、溝内の側面及び底面をセレクトチャネルとしている。

【0010】ドレイン拡散層とソース拡散層は互いに平

行な帯状に形成することができる。また、セレクトゲートはチャンネル幅方向又はチャンネル長方向に延びて複数のメモリセルで共通にすることができる。これにより、メモリセルごとのコンタクトホールを不要にすることができる。

【0011】本発明の製造方法は、次の工程(A)から(H)を備えている。

(A)半導体基板上にトンネル絶縁膜を介して第1の電極材料膜を形成し、その電極材料膜にパターン化を施してフローティングゲートを形成する工程、(B)ドレイン形成予定領域に開口をもつレジストパターンを形成し、それをマスクとして基板に不純物を注入してドレイン拡散層を形成する工程、(C)レジストパターンを除去した後、基板表面全面に絶縁膜を形成し、エッチバックを施してフローティングゲートの側面に絶縁物のサイドウォールスペースを形成する工程、(D)ソース形成予定領域に開口をもつレジストパターンを形成し、それをマスクとして基板に不純物を注入してソース拡散層を形成する工程、(E)ソース拡散層側のサイドウォールスペースを除去した後、酸化性雰囲気中で熱処理を施してシリコン酸化膜を形成する工程、(F)ソース拡散層側のサイドウォールスペースがあった部分の基板が露出するまでエッチングを施した後、シリコンの異方性エッチングを施してフローティングゲートとソース拡散層の間の基板に溝を形成する工程、(G)酸化性雰囲気中で熱処理を施して溝内の側面上及び底面上にゲート酸化膜を形成する工程、(H)溝を埋める第2の電極材料膜を形成し、その電極材料膜をパターン化してセレクトゲートを形成する工程。

【0012】スタックゲートを備えたメモリ装置の製造方法に適用する場合は、次の工程(A)から(H)となる。

(A)半導体基板上にトンネル絶縁膜を介して形成された第1の電極材料膜からなるフローティングゲート、その上に形成された絶縁膜、及びさらにその上に形成された第2の電極材料膜からなるコントロールゲートを備えたスタックゲートを形成する工程、(B)ドレイン形成予定領域に開口をもつレジストパターンを形成し、それをマスクとして基板に不純物を注入してドレイン拡散層を形成する工程、(C)レジストパターンを除去した後、基板表面全面に絶縁膜を形成し、エッチバックを施してスタックゲートの側面に絶縁物のサイドウォールスペースを形成する工程、(D)ソース形成予定領域に開口をもつレジストパターンを形成し、それをマスクとして基板に不純物を注入してソース拡散層を形成する工程、(E)ソース拡散層側のサイドウォールスペースを除去した後、酸化性雰囲気中で熱処理を施してシリコン酸化膜を形成する工程、(F)ソース拡散層側のサイドウォールスペースがあった部分の基板が露出するまでエッチングを施した後、シリコンの異方性エッチングを施

してフローティングゲートとソース拡散層の間の基板に溝を形成する工程、(G)酸化性雰囲気中で熱処理を施して溝内の側面上及び底面上にゲート酸化膜を形成する工程、(H)溝を埋める第3の電極材料膜を形成し、その電極材料膜をパターン化してセレクトゲートを形成する工程。

【0013】基板にトレンチ溝を掘り、その溝内の側面上及び底面上にゲート絶縁膜を形成してトレンチ溝内にチャンネルを構成したメモリ装置は提案されている(特開平2-39473号公報、特開平3-101167号公報参照)。しかし、それらのメモリセルはスプリットゲート型に関するものではなく、また製造方法においてもセルフアラインで形成されるものではない。

【0014】

【実施例】図2は第1の実施例を表わす。(A)は概略平面図、(B)はそのX-X'線位置での断面図である。P型シリコン基板22にソース拡散層26が帯状に形成され、ソース拡散層26に沿ってドレイン拡散層24が配列されている。27はフィールド酸化膜である。基板22上には膜厚が60~100Åのトンネル酸化膜28を介してドレイン拡散層24と隣接し、ソース拡散層26と距離をもって配置されたフローティングゲート30が形成されている。フローティングゲート30とソース拡散層26の間の基板22にはトレンチ溝32が形成され、その溝32内の側面上と底面上には膜厚が100~200Åのゲート酸化膜34が形成されている。フローティングゲート30上にはシリコン酸化膜36が形成され、ソース拡散層26とドレイン拡散層24上には厚いシリコン酸化膜38が形成されている。

【0015】溝32を埋めるポリシリコン層によりフローティングゲート30上から溝32に至るセレクトゲート40が形成されており、溝32内の側面及び底面の基板をセレクトチャンネルとしている。セレクトゲート40はチャンネル幅方向、すなわちソース拡散層26の伸びる方向に沿って複数のメモリセルに共通に形成されている。また、メモリセルごとにドレインコンタクト50が設けられている。

【0016】次に、図3により図2の実施例の製造方法について説明する。

(A)通常のMOSプロセスに従い、フィールド酸化膜を形成した後、全面に膜厚60~100Åのトンネル酸化膜28を形成し、その上に膜厚1000~1500ÅのN型ドーパントポリシリコン膜を成長させる。そのポリシリコン膜上にレジスト層を形成し、写真製版とエッチングによりフローティングゲート形成予定領域にレジストが残るようにパターン化を行なう。そのレジストパターンをマスクとしてポリシリコン膜をエッチングし、フローティングゲート30を形成する。

【0017】レジストを除去した後、再度レジスト層を形成し、写真製版とエッチングによりドレイン拡散層形

7

成領域に開口をもつレジストパターン42を形成する。そのレジストパターン42とフローティングゲート30をマスクとして基板にN型不純物の砒素又はリンを30~80keVのエネルギーで $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ のドーザ量でイオン注入する。24aは不純物注入領域である。

【0018】(B)レジストを除去した後、全面に膜厚1000~2500Åのシリコン酸化膜又はシリコン窒化膜を堆積し、エッチバックを施すことによりフローティングゲート30の側面に絶縁物のサイドウォールスペース44を形成する。レジスト層を形成し、写真製版とエッチングによりソース拡散層形成領域に開口をもつレジストパターン45を形成し、そのレジストパターン45とフローティングゲート30及びサイドウォールスペース44をマスクとして基板にN型不純物の砒素又はリンを30~80keVのエネルギーで $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ のドーザ量で注入する。26aは注入された不純物層である。その後、ソース拡散層側のサイドウォールスペース44をフッ酸などのエッチング液により選択的に除去する。

【0019】(C)レジスト45を除去した後、酸化性雰囲気中で700~1000℃の高温熱処理を施すことにより、シリコン酸化膜を形成する。この時、ソース側のサイドウォールスペースがあった部分の基板は不純物濃度が低いので酸化速度が遅く、その部分に形成されるシリコン酸化膜46の膜厚が100~500Å程度となるように条件を設定する。このとき、基板に不純物が導入されていた不純物注入領域24a、26aの不純物が活性化されてドレイン拡散層24とソース拡散層26となるとともに、ドレイン拡散層24とソース拡散層26上には増速酸化によりシリコン酸化膜46の3~6倍の膜厚のシリコン酸化膜38が成長する。シリコン酸化膜38の膜厚は温度と雰囲気によって異なる。

【0020】(D)シリコン酸化膜のウェットエッチ又はドライエッチにより、シリコン酸化膜46を除去してその部分の基板を露出させる。その後、シリコンの異方性エッチングを行ない、フローティングゲート30とソース拡散層26の間の基板にトレンチ溝32を形成する。

【0021】(E)酸化処理を施すことにより、トレンチ溝32内の側面上と底面上に膜厚100~200Åのゲート酸化膜32を成長させる。その後、リン又は砒素がドーパされたポリシリコン膜40を溝32を埋める厚さで全面に堆積した後、写真製版とエッチングによりパターン化を施してセレクトゲート40を形成する。その後、層間絶縁膜を形成し、コンタクトホールを開け、メタル配線を形成する。

【0022】図4は第2の実施例を表す。(A)は平面図、(B)はそのY-Y'線位置での断面図である。図2の実施例ではセレクトゲート40はチャンネル幅方

8

向、すなわちソース拡散層26の伸びる方向に沿って複数のメモリセルに共通に形成されているのに対し、図4の実施例ではセレクトゲート40bがチャンネル長方向、すなわちソース拡散層26の伸びる方向と直交する方向に伸びて複数のメモリセルで共通に形成されている。またドレイン拡散層24bがソース拡散層と平行に伸びて複数のメモリセルで共通に形成されており、図2の実施例ではメモリセルごとにドレインコンタクト50が設けられているのに対し、図4の実施例ではメモリセルごとのドレインコンタクトを設けていない。図4の実施例の製造方法は、図3の製造方法で、セレクトゲートのパターンを異ならせるだけであり、他は同じである。

【0023】図5は第3の実施例を表し、本発明を3層ポリシリコン構造のスプリットゲートタイプのメモリセルに適用したものである。(A)は平面図、(B)はそのZ-Z'線位置での断面図である。この実施例は、図4の実施例で、フローティングゲート30がSAMOS電極(フローティングゲート30とコントロールゲート52からなるスタックゲート)に変わっている点を除けば、基本的に同じである。

【0024】構造を具体的に示すと、P型シリコン基板22に、帯状に形成されたドレイン拡散層24bとソース拡散層26が交互に配列され、基板22上にはトンネル酸化膜28を介し、ドレイン拡散層24bと隣接し、ソース拡散層26と距離をもって配置されたフローティングゲート30が形成されている。フローティングゲート30上には絶縁膜を介してソース拡散層26の伸びる方向に伸びるコントロールゲート52が形成されており、フローティングゲート30、コントロールゲート52及びその間の絶縁膜によってスタックゲートが形成されている。コントロールゲート52上には絶縁膜を介し、フローティングゲート30とソース拡散層26の間の溝32内の側面及び底面の基板22上にはゲート酸化膜34を介して、ソース拡散層26の伸びる方向と直交する方向に伸びるセレクトゲート40bが形成されており、セレクトゲート40bでフローティングゲート30とソース拡散層26の間がセレクトチャンネルとなっている。

【0025】図5の実施例の製造方法は、図3の製造方法で、最初のポリシリコン膜をパターン化してポリシリコンパターン30を形成した時点で、既にSAMOS電極(フローティングゲート30とコントロールゲート52からなるスタックゲート)が形成されているようにする点を除けば、他の工程は同じである。

【0026】

【発明の効果】本発明では、フローティングゲートとソース拡散層の間の基板に溝を設け、その溝内の側面及び底面上にはゲート絶縁膜を介してセレクトゲートを形成し、その溝内の側面及び底面をセレクトチャンネルとしているので、セレクトチャンネル領域が平面内で占める面

積を小さくすることができ、メモリセルのセル面積を小さくすることができる。溝内の側面及び底面をセレクトチャンネルとするので、浅い溝であってもチャンネル長を確保することができ、パンチスルーによるリークのないメモリセルを実現することができる。溝を浅くすれば、セレクトゲートとなるポリシリコン膜による溝の埋込みが容易になる。ドレイン拡散層とソース拡散層を互いに平行な帯状に形成したり、セレクトゲートをチャンネル幅方向又はチャンネル長方向に延びて複数のメモリセルで共通にすることにより、メモリセルごとのコンタクトホールを不要にして、セル面積を小さくすることができる。本発明の製造方法では、シリコンの異方性エッチング工程を付加するだけの比較的簡単なプロセスでセレクトゲートをセルフアラインで形成することができる。

【図面の簡単な説明】

【図1】 従来のスプリットゲートタイプのメモリセルを示す概略断面図である。

【図2】 第1の実施例を表わす図であり、(A)は概略平面図、(B)はそのX-X'線位置での断面図であ

る。

【図3】 図2の実施例の製造方法を示す工程断面図である。

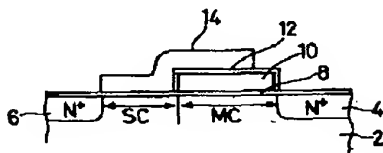
【図4】 第2の実施例を表わす図であり、(A)は概略平面図、(B)はそのY-Y'線位置での断面図である。

【図5】 第3の実施例を表わす図であり、(A)は概略平面図、(B)はそのZ-Z'線位置での断面図である。

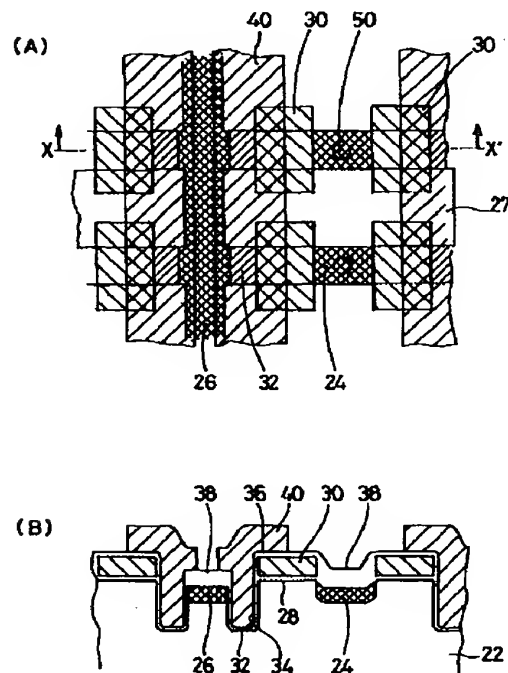
【符号の説明】

- 22 P型シリコン基板
- 24, 24b ドレイン拡散層
- 26 ソース拡散層
- 28 トンネル酸化膜
- 30 フローティングゲート
- 32 トレンチ溝
- 34 ゲート酸化膜
- 40, 40b セレクトゲート
- 50 コントロールゲート

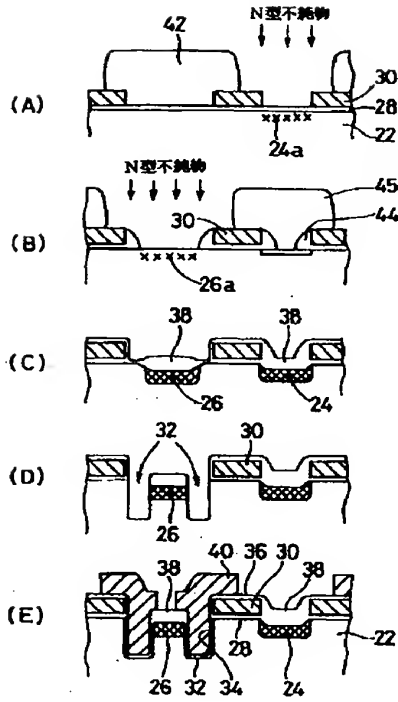
【図1】



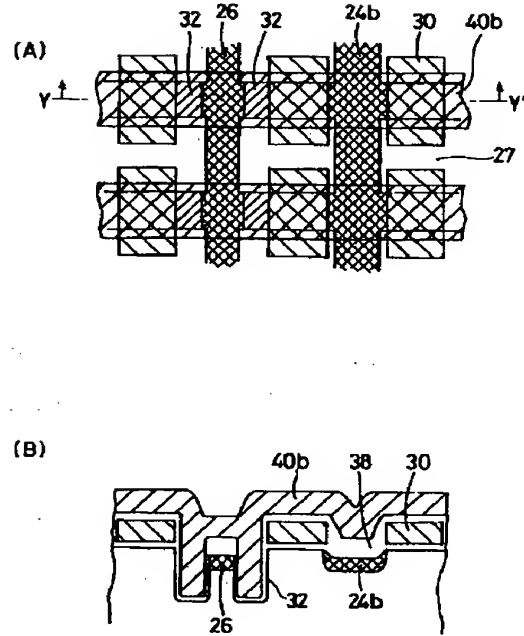
【図2】



【図3】



【図4】



【図5】

